

# BiSS® C (unidirezionale) per encoder RESOLUTE™ e FORTiS™

## Informazioni sugli encoder Renishaw con interfaccia BiSS

Gli encoder BiSS di Renishaw prevedono la possibilità di utilizzare l'interfaccia seriale BiSS C (unidirezionale), ([www.renishaw.it/biss-protocol-support](http://www.renishaw.it/biss-protocol-support)).

- Gli encoder rotativi RESOLUTE sono a turno singolo (con 2° conteggi per rivoluzione e senza conteggio della rivoluzione).
- Gli encoder lineari RESOLUTE e FORTiS sono disponibili con varie risoluzioni (e diverse lunghezze massime), come specificato nella scheda tecnica del prodotto.

Per maggiori informazioni sulle interfacce seriali BiSS, visitare il sito Web di BiSS: [www.biss-interface.com](http://www.biss-interface.com).

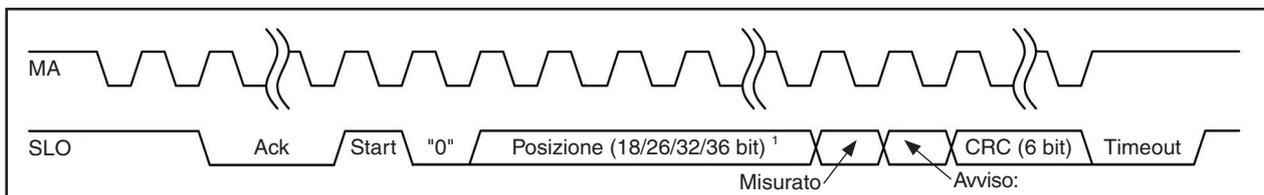
## Descrizione dell'interfaccia BiSS

BiSS C (unidirezionale) è una veloce interfaccia seriale sincrona che consente di acquisire dati di posizione da un encoder. Si tratta di un'interfaccia di tipo master-slave. Il master controlla la tempistica dell'acquisizione della posizione e la velocità di trasmissione dati, mentre l'encoder è lo slave. L'interfaccia è composta da due coppie di linee differenziali e unidirezionali:

- MA trasmette le richieste di acquisizione della posizione e le informazioni sulla tempistica (clock) dal master all'encoder.
- SLO trasferisce i dati di posizione dall'encoder al master, sincronizzandoli con MA.

Il diagramma di seguito mostra i dati trasmessi.

### Formato dei dati



Il formato delle comunicazioni dei segnali master-slave è RS485/RS422 segnale line-driven differenziale.

<sup>1</sup> Per informazioni sui limiti di lunghezza delle parole di posizione degli encoder FORTiS, vedere "Posizione" nella sezione intitolata "Descrizione dei dati".

### Un tipico ciclo di richieste funziona nel modo seguente:

1. Se a riposo, il master mantiene MA alto. Per indicare che è pronto all'uso, l'encoder mantiene SLO alto.
2. Il master richiede l'acquisizione della posizione iniziando a trasmettere impulsi di clock su MA.
3. L'encoder risponde impostando SLO basso sul secondo fronte di salita di MA.
4. Dopo il completamento del periodo Ack, l'encoder trasmette i dati al master, sincronizzandoli con il clock, come mostrato qui sopra.
5. Dopo che tutti i dati sono stati trasferiti, il master arresta il clock e imposta MA su alto.
6. Se l'encoder non fosse ancora pronto per il ciclo di richiesta successivo, SLO viene impostato su basso (periodo di timeout).
7. Se l'encoder è pronto per il ciclo di richiesta successivo, lo segnala al master impostando SLO su alto.

## Descrizione dei dati

### Ack

In questo periodo il lettore calcola la posizione assoluta. Vedere la tabella con le informazioni sui tempi nella pagina successiva.

### Avvio e "0" (1 bit ciascuno)

L'encoder trasmette il bit di avvio per segnalare al master che sta per iniziare a trasmettere dati. Il bit di avvio è sempre alto e il bit "0" è sempre basso.

### Posizione (18, 26, 32 o 36 bit)

I dati sulla posizione assoluta vengono inviati prima a MSB in formato binario. Per gli encoder rotativi sono previsti esattamente  $2^n$  conteggi per giro, dopo di che il conteggio torna a zero. Si possono ottenere risoluzioni inferiori ignorando i bit meno significativi dei dati di posizione.

Per gli encoder FORTiS, la lunghezza standard della parola di posizione è 36 bit (si consiglia di usare questa lunghezza ogni volta che sia possibile). Per situazioni particolari, è disponibile una lunghezza delle parole di 26 bit, con 50 nm di risoluzione, oppure una lunghezza di 32 bit con risoluzione da 10 nm.

### Errore (1 bit)

Il bit di errore è attivo basso: "1" indica che le informazioni sulla posizione trasmesse sono state verificate dall'algoritmo di sicurezza interna del lettore e risultano corrette. "0" indica che la verifica interna ha generato un errore e le informazioni sulla posizione potrebbero non essere attendibili. Inoltre, il bit di errore viene impostato su "0" quando la temperatura supera il valore massimo specificato per il prodotto. I limiti della temperatura operativa di RESOLUTE e FORTiS sono riportati nelle schede tecniche del prodotto.

### Avviso (1 bit)

Il bit di avviso è attivo basso: "0" indica che la riga dell'encoder (e/o la finestra del lettore) deve essere pulita.

---

**NOTA:** il bit di avviso non dà un'indicazione sull'attendibilità dei dati di posizione. Solo il bit di errore evidenzia un problema di attendibilità.

---

### CRC per i dati di posizione (6 bit)

Il CRC polinomico per i dati di posizione, errore e avviso è:  $x^6 + x^1 + x^0$ . Il valore iniziale di CRC è 0x00. La trasmissione è MSB e invertita. Il bit di avvio e il bit "0" vengono omessi dal calcolo CRC.

### Timeout

Gli encoder RESOLUTE e FORTiS sono in grado di acquisire una nuova lettura di posizione ogni 31,25  $\mu$ s (con una velocità massima di ciclo di richiesta pari a 32 kHz). Per questo motivo, devono trascorrere 31,25  $\mu$ s fra l'inizio di un ciclo di richiesta e il successivo. Può accadere, comunque, che la trasmissione dei dati venga completata in un tempo inferiore a 31,25  $\mu$ s. In questo caso, l'encoder segnala il completamento al master, mantenendo bassa la linea SLO fino a quando non sono trascorsi 31,25  $\mu$ s. Questo viene definito il periodo di timeout.

### Ripristino dell'encoder

In qualsiasi momento durante un ciclo di richiesta, il master può resettare l'encoder arrestando il clock e impostando MA su alto. MA deve essere mantenuto alto per tutta la durata del ciclo di richiesta, incluso il periodo di timeout, se applicabile.

---

**NOTA:** durante il reset, SLO può essere alto o basso (di solito, dipende dallo stato dell'ultimo bit trasmesso).

---

## Compensazione del ritardo linea

I segnali che viaggiano fra master ed encoder possono subire un ritardo dovuto alla lunghezza del cavo e ai ritardi di propagazione del segnale all'interno del master e dell'encoder. Il ritardo non produce effetti se la velocità di clock è bassa (perché il ritardo è significativamente inferiore al periodo di clock). Tuttavia, quando si usano velocità di clock elevate, sarà necessario implementare una compensazione del ritardo di linea per il master.

Il master determina il ritardo sul percorso di andata e ritorno, misurando il tempo impiegato fra la trasmissione del secondo fronte di salita su MA e la ricezione del fronte di discesa di "Ack" su SLO.

Velocità di clock MA	Lunghezza massima del cavo	
	Senza compensazione del ritardo linea	Con compensazione del ritardo linea
250 kHz	95 m	100 m
1 MHz	20 m	100 m
2 MHz	8 m	100 m
5 MHz	0,5 m	100 m
10 MHz	-	50 m

### NOTE:

- tutte le cifre fanno riferimento a installazioni effettuate con:
  - lettore RESOLUTE con cavo originale Renishaw lungo fino a 10 m e cavo rimanente composto da una prolunga approvata da Renishaw oppure,
  - encoder FORTiS con cavi originali Renishaw, secondo quanto specificato nella scheda tecnica "Cavi per encoder assoluti FORTiS™" (codice Renishaw L-9517-0071).
- Fare attenzione a mantenere la tensione del connettore del lettore entro 5 V  $\pm$ 10%. Per gli encoder FORTiS è necessario attenersi alle limitazioni riportate nella sezione "Lunghezze massime del cavo" della scheda tecnica "Cavi per encoder assoluti FORTiS™" (codice Renishaw L-9517-0071).
- La tabella non prende in considerazione i ritardi di propagazione all'interno del master.

## Informazioni sulla tempistica

	Minimo	Tipico	Massimo	Unità	Note
Tempo Ack	-	-	16	$\mu$ s	Il periodo di Ack termina sempre su un fronte in salita di MA. Per tale ragione, nelle frequenze di clock con MA basso, il tempo Ack potrebbe superare i 16 $\mu$ s.
Frequenza di clock MA	0,25	-	10	MHz	All'interno di un qualsiasi ciclo di richiesta, la velocità del clock MA deve essere costante. Il duty cycle dovrebbe essere 1:1.
Velocità del ciclo di richiesta	-	-	32	kHz	Non tutte le frequenze di clock MA possono raggiungere 32 kHz (perché la trasmissione dati richiede troppo tempo).
Momento di campionamento	3,225	3,250	3,275	$\mu$ s	Calcolato dal primo fronte in salita di MA.
Ritardo linea interno di RESOLUTE/FORTiS	-	-	42,5	ns	Questo è il ritardo della propagazione interna (MA-SLO) negli encoder RESOLUTE e FORTiS.
Ritardo linea dovuto alla lunghezza del cavo	-	10	-	ns/m	Il ritardo sul percorso di andata e ritorno registrato dal segnale che viaggia sul cavo (ovvero dal master all'encoder e di nuovo al master).

[www.renishaw.it/contatti](http://www.renishaw.it/contatti)



#renishaw

 +39 011 966 67 00

 [italy@renishaw.com](mailto:italy@renishaw.com)

© 2009–2023 Renishaw plc. Tutti i diritti riservati. Il presente documento non può essere copiato o riprodotto nella sua interezza o in parte, né trasferito su altri supporti o tradotto in altre lingue senza previa autorizzazione scritta da parte di Renishaw.

RENISHAW® e il simbolo della sonda sono marchi registrati di Renishaw plc. I nomi dei prodotti Renishaw, le denominazioni e il marchio "apply innovation" sono marchi di Renishaw plc o delle sue società controllate. BiSS® è un marchio registrato di iC-Haus GmbH. Altri nomi di marchi, prodotti o società sono marchi dei rispettivi proprietari.

SEBBENE SIANO STATI COMPIUTI SFORZI NOTEVOLI PER VERIFICARE L'ACCURATEZZA DEL PRESENTE DOCUMENTO AL MOMENTO DELLA PUBBLICAZIONE, TUTTE LE GARANZIE, LE CONDIZIONI, LE DESCRIZIONI E LE RESPONSABILITÀ, COMUNQUE DERIVANTI, SONO ESCLUSE NELLA MISURA CONSENTITA DALLA LEGGE. RENISHAW SI RISERVA IL DIRITTO DI APPORTARE MODIFICHE AL PRESENTE DOCUMENTO E ALLE APPARECCHIATURE, E/O AL SOFTWARE E ALLE SPECIFICHE QUI DESCRITTE SENZA ALCUN OBBLIGO DI PREAVVISO.

Renishaw plc. Registrata in Inghilterra e Galles. Numero di registro dell'azienda: 1106260. Sede legale: New Mills, Wotton-under-Edge, Glos, GL12 8JR, UK.

Per una migliore leggibilità, in questo documento viene utilizzato il maschile per i nomi e i sostantivi personali. I termini corrispondenti si applicano generalmente a tutti i generi per quanto riguarda la parità di trattamento. Questa forma abbreviata del linguaggio è dovuta unicamente a motivi editoriali e non implica nessun tipo di giudizio.

Codice: L-9709-9012-05-A

Pubblicato: 06.2023